

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representation of
The original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000115189 A

(43) Date of publication of application: 21 . 04 . 00

(51) Int. Cl.

H04L 12/28

H04L 7/08

(21) Application number: 10285425

(22) Date of filing: 07 . 10 . 98

(71) Applicant: KOKUSAI ELECTRIC CO LTD

(72) Inventor: SHIOBARA TAKESHI
YOKOGAWA EIJI
SATO KAZUYOSHI

(54) RADIO LAN SYSTEM

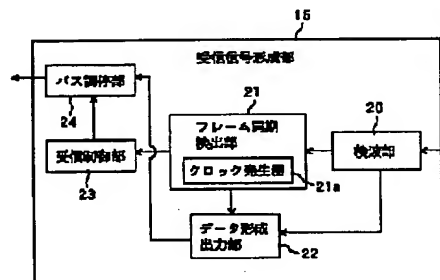
(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the number of times of the display of a communication impossible state and a synchronization re-establishing processing by generating dummy synchronizing signals and obtaining a transmission/reception timing in the period of a prescribed length when frame synchronizing signals are not detected.

SOLUTION: A frame synchronization detection part 21 defines that frame synchronization establishment can be obtained and performs timing management by a free-running clock when the matching of all the bit patterns of the frame synchronizing signals is detected in a frame synchronization detection window period. For the frame synchronization detection window period, the period of plus (P1) and minus (P2) bits to an actual frame length (N) bit period is set. When all the bit strings of the frame synchronizing signals are not obtained in the frame synchronization detection window period and it continues at M-th times set beforehand, the synchronization re-establishing processing is performed. In the period after the frame synchronizing signals are not detected any more until the synchronization re-establishing processing is started,

the dummy synchronizing signals close to normal synchronizing signals are generated in a clock generator 21a.

COPYRIGHT: (C)2000,JPO



(51) Int.Cl.

識別記号

H 0 4 L 12/28
7/08

F I

H 0 4 L 11/00
7/08

ページ (参考)

3 1 0 B 5 K 0 3 3
D 5 K 0 4 7

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平10-285425

(22) 出願日 平成10年10月7日(1998.10.7)

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 塩原 毅

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 横川 英二

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74) 代理人 100061697

弁理士 石戸 元 (外3名)

(54) 【発明の名称】 無線LANシステム

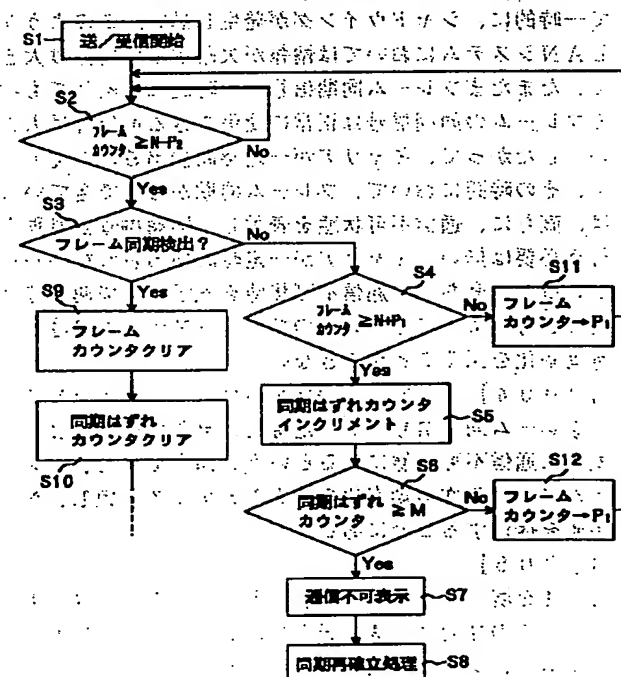
(57) 【要約】

【課題】 通信不可状態の表示や同期再確立処理を行う回数を必要最小限にとどめることができ、もって、システムにおける作業効率化を図ることができる無線LANシステムを得る。

【解決手段】 無線LANシステムにおける子局 (UM 3) において、フレーム同期信号が検出されない場合に、同期を保持するためのダミー同期信号を形成して出力するダミー同期信号形成手段 (クロック発生器 21 a) を備え、ダミー同期信号を所定数 (M 個) 計数するまでにフレーム同期信号を検出しないときは、同期はずれ信号を出力して通信不可表示を行わせると共に、同期再確立処理を行わせるようにした。

【図面の簡単な説明】
図1は、本発明の無線LANシステムの構成図である。

図2は、本発明の無線LANシステムの動作フローチャートである。



【特許請求の範囲】

【請求項1】 基地局から送信される電波を子局にて受信し、フレーム同期信号を検出して、データの送受信タイミングを確定する無線LANシステムにおいて、前記フレーム同期信号が検出されなくなった所定の長さの期間においては、ダミー同期信号を生成して送受信タイミングを得るようにしたことを特徴とする無線LANシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、基地局から送信される電波を子局にて受信し、フレーム同期信号を検出して、データの送受信タイミングを確定する無線LANシステムに関するものである。

【0002】

【従来の技術】従来の無線LANシステムとして、特開平7-273766号公報に開示された技術が知られている。この技術は、ミリ波帯域電波を用いて無線基地局と無線移動端末局である子局との間で通信を行うミリ波無線LANシステムにおいて、無線移動端末局にキャリア検出回路を設けると共に、警報回路を設け、キャリアが所定時間検出されない場合に、警報回路により通信不可を表示するようにしたものである。これは、キャリアが検出できないことで、フレーム同期信号が得られず、データの送受信タイミングを確定することができなくなる結果、システムが通信不能状態に陥っていることをユーザ等に認識させるためである。

【0003】

【発明が解決しようとする課題】しかし、無線LANシステムにおいては、人や物体の移動等、室内状況によって一時的に、シャドウイングが発生し易い。このようなLANシステムにおいては情報が欠落する可能性は大きく、たまたまフレーム同期信号が一時的に欠落しても次のフレームの同期信号は正常に受信できる可能性は大きい。したがって、キャリアが一定時間検出されなくても、その時間において、フレーム同期が確定できていれば、直ちに、通信不可状態を表示し、同期再確立処理を行う必要は無い。キャリアが一定時間検出されないからといって、直ちに、通信不可状態を表示し、同期再確立処理を行うようにしていたのでは、システムにおける作業効率化を図ることができない。

【0004】そこで、この発明の目的は、従来キャリア（フレーム同期信号）が一定時間検出されない場合に、直ちに通信不可状態にするという問題点を解決し、システムにおける作業効率化を図ることができる無線LAN装置を提供することにある。

【0005】

【課題を解決するための手段】上述した課題を解決するため、この発明は、基地局から送信される電波を子局にて受信し、フレーム同期信号を検出して、データの送

信タイミングを確定する無線LANシステムにおいて、前記フレーム同期信号が検出されなくなった所定の長さの期間においては、ダミー同期信号（ダミーフレーム）を生成して送受信タイミングを得るようにしたものである。

【0006】より具体的には、この発明は、無線LANシステムにおける子局（UM3）において、フレーム同期信号を検出するフレーム同期検出手段（フレーム同期検出部21）と、フレーム同期検出手段によりフレーム同期信号が検出されない場合に、同期を保持するためのダミー同期信号を形成して出力するダミー同期信号形成手段（クロック発生器21a）と、ダミー同期信号を所定数（M個）計数するまでにフレーム同期信号を検出しないときは、同期はずれ信号を出力して通信不可表示を行わせると共に、同期再確立処理を行わせる同期はずれ信号出力手段（実施の形態ではフレーム同期検出部21内のハード構成により構築される）とを備えて構成される。

【0007】このような構成によれば、フレーム同期信号が検出されない場合に、直ちに通信不可状態を表示し、同期再確立処理を行う従来のシステムに比較して、通信不可状態の表示や同期再確立処理を行う回数を必要最小限にとどめることができ、もって、システムにおける作業効率化を図ることができる。

【0008】

【発明の実施の形態】以下、この発明の実施の形態を図を用いて説明する。図1は実施の形態における全体構成図である。本システムにおいて、基地局であるCM（Control Module）1は10Base-Tまたは100Base-TXのようなインターフェイスによりイーサネットバックボーン2に設置される。CM1には天井設置型と壁設置型の2種類がある。子局であるUM3（User Module）はPCカードスロットを有するパーソナルコンピュータ4（以下PCという）にPCカードインターフェイスを介して接続される。また、UM3には通信が可能状態であるか不可状態であるかを示す可／不可表示部5が設けられている。

【0009】図2は子局であるUMの構成を示すブロック図である。このUM3は、アンテナ部10と、アンテナ部10に接続された送受信部（RF部）11と、送受信部11に接続された変復調部（IF部）12と、変復調部12に接続された送受信信号形成部（BB部）13と、送受信信号形成部13に接続された制御部16とを備えて構成される。送受信信号形成部13は、制御部16からのユーザデータに基づいて送信信号を形成し変復調部12に出力する送信信号形成部14と、変復調部12からの復調信号に基づいて受信信号を形成して制御部16に出力する受信信号形成部15とを備えている。

【0010】以上の構成において、アンテナ部10は電気信号を無線信号に変換して空間へ送出、及び無線信号

を受信して電気信号への変換を行うものである。本システムにおいては、セクタアンテナ（6セクタ）を用いるため、そのセクタアンテナの切替スイッチ回路がアンテナ部10に含まれている。

【0011】送受信部11は、変復調部12とインターフェイスであるIF信号（中間周波数信号、ここでは140MHz）と、アンテナ部10で扱う無線周波数信号（ここでは19GHz帯）の相互変換を行う。

【0012】変復調部12は送受信信号形成部13とのデジタルインターフェイス信号とアナログのIF信号との変復調を行う。

【0013】送受信信号形成部13は制御部16との間でやり取りするユーザデータに対して、無線に乗せるためのフレーム化、誤り訂正、暗号化、同期制御、DQPSK変調のための和差分演算等を行い変復調部12にインターフェイス、あるいはその逆方向制御を行う。

【0014】制御部16は、パソコン等のPCカードスロットに直接接続され、パソコン等と送受信信号形成部13との間のデータ受け渡し制御、UM装置全体の各種制御、保守制御等を行う。

【0015】なお、各ブロック間のインターフェイスについて簡単に説明すると、アンテナ部10と送受信部11との間は、同軸ケーブル、あるいはその他の接続方法による19GHz帯域高周波信号が用いられる。セクタアンテナの切替は送受信信号形成部13、あるいは制御部16からのデジタル信号にて行われる。

【0016】送受信部11と変復調部12との間は、140MHzのIF信号及びRF局部発振用ローカルクロックを用いる。また、変復調部12と送受信信号形成部13との間はDQPSK変調されたIQ信号を送受信用それぞれに用いる。

【0017】そして、送受信信号形成部13と制御部16との間は、FIFO（First In-First Out）メモリを介してのデジタルデータインターフェイスを用いる。FIFOメモリは送信用と受信用が別々に備えられる。なお、FIFOメモリに代わり、デュアルポートメモリ等、非同期のタイミングで動作する2つのポート間のデータ受け渡しを実現できるものであれば、他のデバイスでも使用できる。

【0018】図3は送受信信号形成部13の受信信号形成部15を詳細に示すブロック図であり、図4は無線区間信号フォーマットを示すフレーム構成を示す図である。受信信号形成部15は、変復調部12に接続された検波部20と、検波部20の出力側に接続されたフレーム同期検出部21と、検出部20及びフレーム同期検出部21の出力側に接続されたデータ形成出力部22と、フレーム同期検出部21の出力側に接続された受信制御部23と、データ形成出力部22及び受信制御部23の出力側に接続されたバス調停部24とを備えて構成されている。

【0019】以上の構成において、検波部20は基地局側の送信信号形成部でデジタル変調（本システムでは4進和分演算）された信号を復調するもので、本システムにおいては、4進差分演算を行う。

【0020】フレーム同期検出部21は、検波部20により復調された信号に基づいて、図4に示される正規の同期信号の有無判定、自走クロックによる一定期間の同期保持、一定周期以上の同期はずれ継続時の同期はずれ信号生成を行う。

【0021】ここで、フレーム同期検出部21による「フレーム同期有無判定」は、図4に示した無線区間信号フォーマットに含まれる、特定のビットパターン列であるフレーム同期信号を図示しない比較器にて1ビット入力ごとに比較することにより行われる。無線区間信号フォーマットに従って次のフレーム同期信号受信タイミングは予測可能であるが、無線伝達経路長の変化や正規の受信信号の基準クロックと自走クロックの周波数偏差等の理由で多少のブレが発生するため、実際のフレーム長（Nビット期間）に対し、プラス P_1 、マイナス P_2 ビットの期間をフレーム同期検出窓期間とし、この窓期間中にフレーム同期信号の全ビットパターンの一致が検出されればフレーム同期確立が得られるものとして自走クロックによるタイミング管理を行う。

【0022】そして、フレーム同期検出窓期間にフレーム同期信号に一致したビット列が得られない場合、従来は同期はずれの状態として同期再確立処理を行っていたが、この発明の実施の形態では、複数回（M回）連続してフレーム同期が検出できないとき（Nビット周期×Mである期間においてフレーム同期が検出できないとき）同期はずれが生じたとして、初めて同期再確立処理を行うための同期はずれ信号を出力する。

【0023】フレーム同期信号が得られなくなつてから、同期はずれ信号を出力するまでの間は、フレーム同期検出部21に内蔵されているクロック発生器21aの自走クロックでダミーフレーム（ダミー同期信号）を形成してフレーム同期を保持するようにする。この実施の形態では、ダミーフレームの周期はクロック発生器21aのクロック周期のN倍となっている。そして、Nマイナス P_2 からNプラス P_1 の期間をフレーム同期検出窓期間とする。

【0024】このクロック発生器21aは、CM1が使用する周波数と全く同じ周波数の基準クロック源（TCXO：水晶発振器）を備えている。ダミーフレームの形成においては、CM1と同じ周波数クロックを有しても、位相のズレ、電源電圧、温度、部品そのものの周波数偏差等により、完全に同じタイミングのフレームを得ることはできない。そこで、正規の同期信号と略同じ周期（実施の形態においては全く同じ周期）の自分ローカルのダミー同期信号を生成するようにすると共に、CM1から正規の同期信号が受信できたときには、毎回その

タイミングに同期させて累積変動を防止するようにしている。

【0025】そして、このように構成することにより、同期信号が検出できない場合でも、論理上のクロック精度の差の範囲内ではCM1のタイミングに追従できるとなる。ただし、長期間（多数、例えばM個のフレーム区間）に渡って正規の同期信号が補足できない場合においては、CM1側のタイミングと完全にはずれたとして、前述したように、同期はずれとしての処理を行うようにしている。

【0026】なお、M回連続してフレーム同期が検出できない（同期はずれが生じた）ときに出力される同期はずれ信号は、フレーム同期検出部21のハード的な構成により形成される。

【0027】次に、受信制御部23は、通常時、フレーム同期検出部21から得られる受信タイミングに基づいてバス調停部24を制御する。また、受信制御部23は、フレーム同期検出部21からの同期はずれ信号により、割り込み処理、あるいは定期的なポーリング処理により同期はずれの発生を認識すると、再度通信を確保するために同期再確立処理を実行させる。

【0028】データ形成出力部22は、送信側の送信信号形成部にてスクランブル（暗号化）されている場合、そのデスクランブル（暗号解読）処理を行い、FECデコード部にて送信信号形成部で付加されたFECデータを基に誤り訂正を行い、CRCチェック部にて伝送エラーの有無を判定し、正常なデータが得られた場合にはバス調停部24にデータを渡し、異常が検出された場合には、再送要求信号の生成等を行う。

【0029】バス調停部24は、制御部（CPU側）からの送信データと、無線部からの受信データを同じバッファ領域（本システムではFIFOメモリ）を用いて書込み／読出しするためのタイミング制御を行う。

【0030】次に、以上に述べた構成における同期フレーム未検出時の動作について図5に示されるフローチャートを用いて説明する。まず、ステップS1において送／受信が開始されると、クロック発生器21aの出力をカウントするフレームカウンタがカウントアップ動作を開始する。ステップS2に示されるように、フレームカウンタが $N-P_2$ になるまではフレーム同期検出を行わない。フレームカウンタが $N-P_2$ 以上の値になると、ステップS3において前述したようにフレーム同期検出（有無判定）が行われる。このフレームカウンタはフレーム同期検出部21内に設けられている。

【0031】ステップS4では、フレームカウンタの値が $N+P_1$ 以上であるか否かが判定され、 $N+P_1$ 以上である場合には、ステップS5において同期はずれカウンタをインクリメントする。この同期はずれカウンタもフレーム同期検出部21内に設けられている。そして、ステップS6においては、ステップS5においてインク

リメントされた同期はずれカウンタの値がM以上であるか否かが判定される。

【0032】そして、同期はずれカウンタの値がM以上の場合には、同期保持が困難として、ステップS7に進み、通信不可表示を行う共に、ステップS8に進み、ここで同期再確立処理を行う。

【0033】一方、ステップS4において、同期未検出カウンタの値が $N+P_1$ 以上でなかった場合、ステップS6において同期はずれカウンタの値がM以上でなかった場合には、それぞれステップS11、ステップS12に示されるように、フレームカウンタに値 P_1 をロードしてステップS2に戻る。さらに、ステップS2において、フレーム同期が検出された場合は、ステップS9に進み、ここでフレームカウンタをクリアすると共に、ステップS10において同期はずれカウンタをクリアする。その後の動作は、通常送／受信動作と同じなので、ここでの説明は省略する。

【0034】

【発明の効果】以上に説明したように、この発明によれば、フレーム同期信号が検出されなくなった所定の長さの期間においては、ダミー同期信号を生成して同期を図るようにしたため、人や物体の移動等、室内状況によって一時的に、シャドウイングが発生し、情報の欠落等によりフレーム同期信号が一時的に欠落しても、その期間において、フレーム同期を保持することができ、ある時間長さ後に再度フレーム信号が検出された場合には、そのまま通信を続行することができる。従って、フレーム同期信号が検出されない場合に、直ちに通信不可状態を表示し、同期再確立処理を行う従来のシステムに比較して、通信不可状態の表示や同期再確立処理を行う回数を必要最小限にとどめることができ、もって、システムにおける作業効率化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施の形態を示す全体構成図である。

【図2】この発明の実施の形態における子局の構成を示すブロック図である。

【図3】子局の受信信号形成部を示すブロック図である。

【図4】無線区間信号フォーマットを示す図である。

【図5】この発明の実施の形態における同期フレーム未検出時の動作を示すフローチャートである。

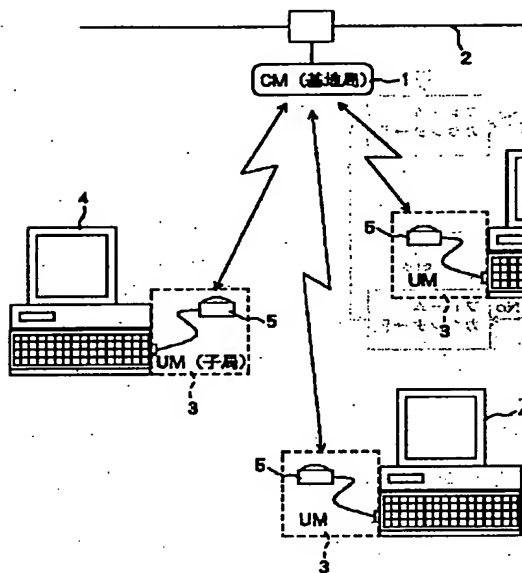
【符号の説明】

- 1 CM（基地局）
- 2 イーサネットバックボーン
- 5 可／不可表示部
- 10 アンテナ部
- 11 送受信部
- 12 変復調部

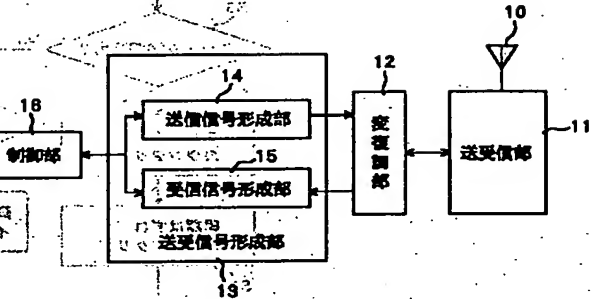
- 13 送受信信号形成部
14 送信信号形成部
15 受信信号形成部
16 制御部
20 検波部

- 21 フレーム同期検出部
21a クロック発生器
22 データ形成出力部
23 受信制御部
24 バス調停部

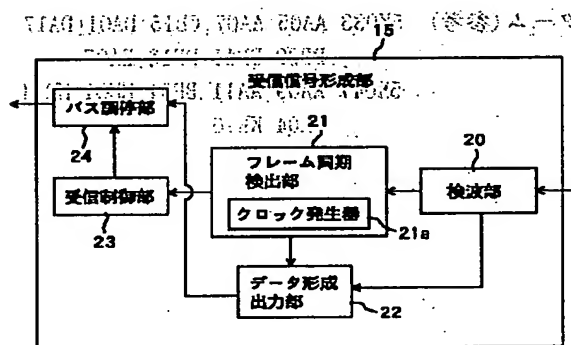
【図1】



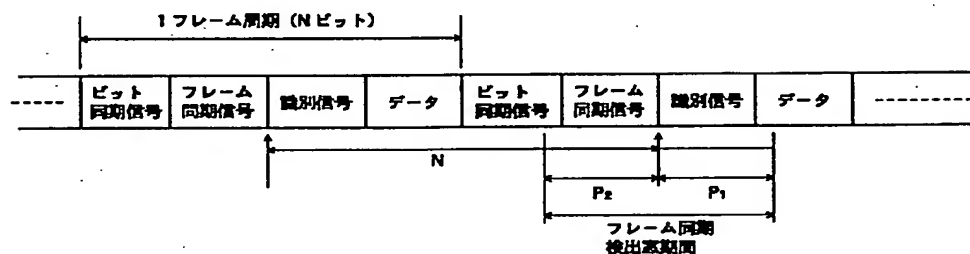
【図2】



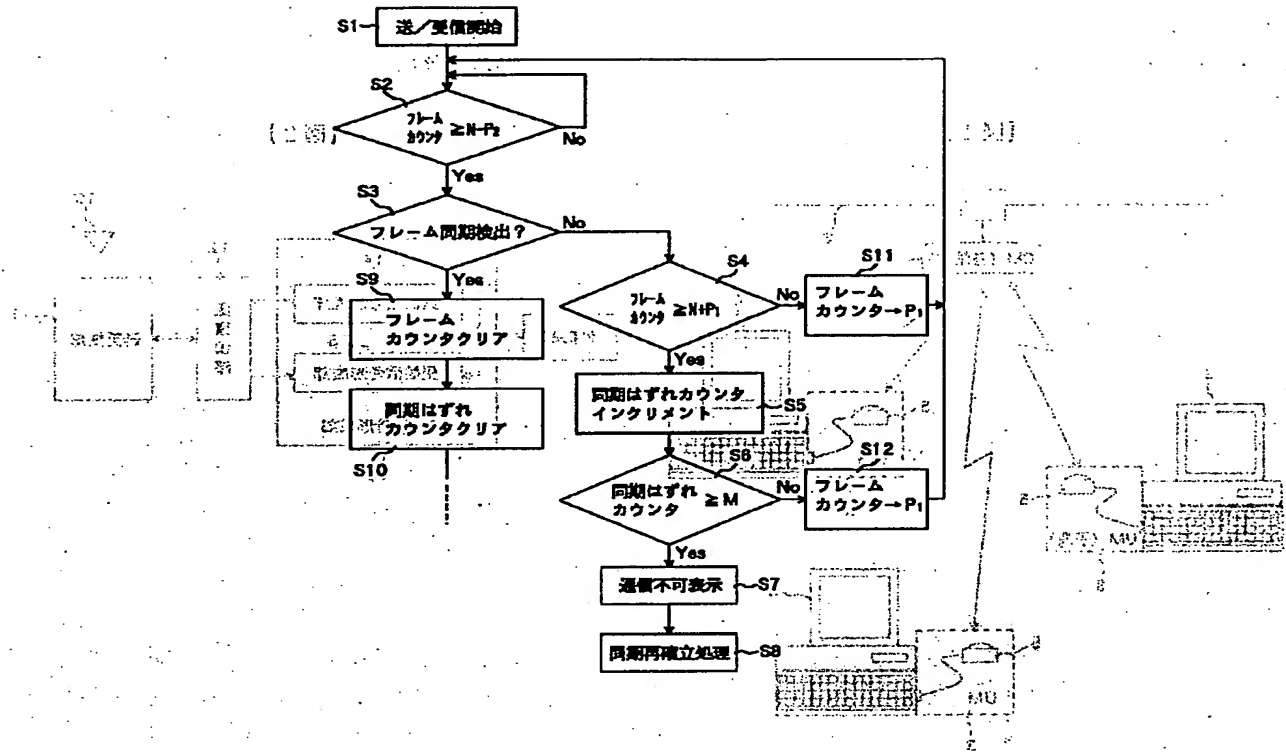
【図3】



【図4】



【図5】



フロントページの続き

【参考】

(72) 発明者 佐藤 一良
 東京都中野区東中野三丁目14番20号 国際
 電気株式会社内

Fターム(参考) 5K033 AA05 AA07 CB15 DA01 DA17
 DB09 DB11 DB18 EA07

5K047 AA09 AA11 BB01 HH01 HH34
 KK04 KK16

